

DIALOG(R)File 352: Derwent WPI

(c) 2010 Thomson Reuters. All rights reserved.

0005098707 *Drawing available*

WPI Acc no: 1990-085126/199012

**Current source arrangement for D-A conversion – uses N-1 circuits for N outputs and switches extra circuit between outputs to maintain accurate output current**

Patent Assignee: PHILIPS ELECTRONICS NV (PHIG); PHILIPS GLOEILAMPENFAB NV (PHIG)

Inventor: GROENEVELD D W J; SCHOUWENAA H J; SCHOUWENAARS H J

Patent Family ( 8 patents, 11 countries )							
Patent Number	Kind	Date	Application Number	Kind	Date	Update	Type
EP 359315	A	19900321	EP 1989202265	A	19890907	199012	B
BR 198904574	A	19900424				199021	E
US 4967140	A	19901030	US 1989380163	A	19890714	199046	E
CN 1041230	A	19900411				199103	E
EP 359315	B1	19940302	EP 1989202265	A	19890907	199409	E
DE 68913405	E	19940407	DE 68913405	A	19890907	199415	E
			EP 1989202265	A	19890907		
ES 2050783	T3	19940601	EP 1989202265	A	19890907	199425	E
KR 137475	B1	19980615	KR 198913097	A	19890911	200016	E

Priority Applications (no., kind, date): NL 19882230 A 19880912; NL 1989215 A 19890130

Patent Details						
Patent Number	Kind	Lan	Pgs	Draw	Filing Notes	
EP 359315	A	EN	12	10		
Regional Designated States,Original	CH DE ES FR GB IT LI NL					
BR 198904574	A	PT				

US 4967140	A	EN	10		
EP 359315	B1	EN	14	10	
Regional Designated States, Original	CH DE ES FR GB IT LI NL				
DE 68913405	E	DE			Application EP 1989202265
					Based on OPI patent EP 359315
ES 2050783	T3	ES			Application EP 1989202265
					Based on OPI patent EP 359315

### Alerting Abstract EP A

The current source arrangement is constructed to supply substantially equal currents to N outputs, using N+1 transistor configurations (2.1–2.N+1). Each transistor configuration has control transistors (T1–T.N+1) with control inputs (3.1–3.N+1) to adjust the voltage and hence currents of the control transistors. A correction circuit (5) uses a reference current source (6) to supply a control signal to one of the control inputs and has a switching network (7) which couples one transistor configuration to the correction circuit and the others to the outputs.

On each of N cycles the extra configuration is used to correct another configuration current output and on the next cycle the previously corrected configuration is used to correct the next transistor configuration.

ADVANTAGE – Uses lower supply voltage.

**Title Terms /Index Terms/Additional Words:** CURRENT; SOURCE; ARRANGE; DIGITAL–ANALOGUE; CONVERT; N; CIRCUIT; OUTPUT; SWITCH; EXTRA; MAINTAIN; ACCURACY

### Class Codes

International Patent Classification					
IPC	Class Level	Scope	Position	Status	Version Date
G05F–003/26			Main		“Version 7”
G05F–0003/24	A	I	F	R	20060101

G05F-0003/26	A	I		R	20060101		
H03F-0003/343	A	I	L	R	20060101		
H03M-0001/10	A	I	L	R	20060101		
G05F-0003/08	C	I		R	20060101		
H03F-0003/343	C	I	L	R	20060101		
H03M-0001/10	C	I	L	R	20060101		

**ECLA:** G05F-003/26A

**US Classification, Current Main:** 323-315000; Secondary: 323-317000, 341-120000, 341-144000

**US Classification, Issued:** 323315, 323317, 341120, 341144

File Segment: EPI;

DWPI Class: U21; U24

Manual Codes (EPI/S-X): U21-A02; U24-E01

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)(51) Int. Cl.<sup>6</sup>  
G05F 3/26

(11) 등록번호 특0137475

(21) 출원번호	특 1989-013097	(65) 공개번호	특 1991-007290
(22) 출원일자	1989년 09월 11일	(43) 공개일자	1991년 04월 30일
(30) 우선권 주장	8802230 1988년 09월 12일 네덜란드(NL) 8900215 1989년 01월 30일 네덜란드(NL)		
(73) 특허권자	필립스 일렉트로닉스 엔. 브이. 에프. 제이. 스미트		
(72) 발명자	네덜란드왕국 아인드호펜 그로네보드세베그 1 디르크 보우터 요한네스 그로네벨드 네덜란드왕국 아인드호펜 그로네보드세베그 1 헨드리쿠스 요한네스 쇼우베나르스		
(74) 대리인	네덜란드왕국 아인드호펜 그로네보드세베그 1 이병호, 최달용		

심사관 : 박정환

## (54) 전류-소스 장치

요약

내용없음.

도면

도 1

영세서

[발명의 명칭]

전류-소스 장치

[도면의 간단한 설명]

제 1 도는 본 발명에 따른 전류-소스 장치의 기본 회로도.

제 2 도는 본 발명에 따른 전류-소스의 제 1 실시예를 도시한 도면.

제 3 도는 본 발명에 따른 전류-소스 장치의 제 2 실시예를 도시한 도면.

제 4 도는 본 발명에 따른 전류-소스 장치의 제 3 실시예를 도시한 도면.

제 5 도는 본 발명에 따른 전류-소스 장치의 제 4 실시예를 도시한 도면.

제 6 도는 본 발명에 따른 전류-소스 장치의 제 5 실시예를 도시한 도면.

제 7 도는 본 발명에 따른 전류-소스 장치의 제 6 실시예를 도시한 도면.

제 8a 도 및 8b 도는 본 발명에 따른 전류-소스 장치에 이용된 스위치의 두예를 도시한 도면.

제 9 도는 본 발명에 따른 전류-소스 장치를 구비한 디지털-아날로그 변환기의 제 1 실시예를 도시한 도면.

제 10 도는 본 발명에 따른 디지털-아날로그 변환기의 제 2 실시예를 도시한 도면.

\* 도면의 주요부분에 대한 부호의 설명

2 : 제어 트랜지스터 4, 5, 51, 61 : 보정 회로

6 : 기준-전류 소스 7 : 스위칭 네트워크

15 : 클럭

[발명의 상세한 설명]

본 발명은 실제로 다수의 동일 전류를 발생시키는 다수의 트랜지스터 구조물과, 이 트랜지스터 구조물로부터의 전류에서 상호 편차를 감소시키는 보정(correction) 수단을 구비하는 것을 특징으로 하는 전류-소스 장치에 관한 것이다.

본 발명은 또한 상기 장치를 구비한 디지털-아날로그 변환기에 관한 것이다.

상기 장치는 미합중국 특허 명세서 제 4,573,005호에 공지되어 있다. 이러한 장치에 있어서, 보정 수단은 한 트랜지스터 구조물의 전류가 기준 전류로서 입력에 인가되고, 또다른 트랜지스터 구조물로부터의 전류가 순환 패턴(cyclic pattern)에 따라 최소한 한 출력에 인가 되는 정밀-전류-미러(mirror)회로를 구비한다. 이때 또다른 트랜지스터 구조물의 전류와 기준 전류간의 차는 출력에서 나타나며, 상기 차는 기준 전류와 비교하여 보다 더 나은 전류를 얻는 방식으로 전류를 보정하기 위해 이용된다.

이 장치의 단점은 정밀-전류-미러 회로가 트랜지스터 구조물과 그 부하와 함께 직렬로 배열되어야 한다는 점인데, 그로 인하여 공지된 전류-소스 장치는 비교적 높은 공급 전압이 필요하다.

그러므로, 본 발명의 목적은 비교적 낮은 공급 전압에서 동작하도록 구성된 보정 수단을 갖는 전류-소스 장치를 제공하는 것이다.

본 발명에 따라, 서두에 정의된 형태의 전류-소스 장치는, -트랜지스터 구조물의 수가 최소한 그 요구되는 전류의 수보다 많으며, -각각의 트랜지스터 구조물은 제어 트랜지스터를 구비하는데, 그 제어 전압은 조정가능한 제 1 전류 공급을 조정하며, -상기 보정 수단은 그 관련된 트랜지스터 구조물의 제어 트랜지스터의 제어 전압을 조정함으로써, 순환 패턴에 따라, 각각의 트랜지스터 구조물의 전류를 기준-전류와 동일하게 만드는데 이용되는 것을 특징으로 한다.

본 발명에 따른 장치에 있어서, 트랜지스터 구조물의 수가 매 순환 주기에서 실제로 상기 요구된 수단보다 더 많지 않기 때문에, 보정을 위한 전류-소스 장치의 한 트랜지스터 구조물의 이용이 가능하고, 선행 순환 주기에서 보정된 트랜지스터 구조물을 전류-소스 장치로 다시 스위칭할 수 있다.

보정동안에, 트랜지스터 구성이 전류-소스 장치의 부하와 직렬로 더 이상 접속되지 않으므로, 이 장치는 비교적 저공급 전압으로 동작될 수 있다.

본 발명에 따른 전류-소스 장치의 또다른 장점은 실제 전류-소스 장치의 동작이 보정 수단에 의해 방해받지 않는다는 점이다.

본 발명에 따른 전류-소스 장치의 실시에는 청구된 종속항에서 정의된다.

본 발명은 첨부 도면을 참조로 하여, 실시예와 함께 더 상세히 설명된다.

제 1 도는 본 발명에 따른 전류-소스 장치의 기본 회로도이다. 이 장치는 실제로 동일한 N 개의 전류를 출력(1 내지 N)에 공급하도록 구성되고, 간략화를 위해서 도시하지 않았지만, 부하가 상기 출력에 접속될 수 있다. 이 장치는 N+1 개의 트랜지스터 구조물(2.1 내지 2.N+1)을 구비하고, 이들 각각은 트랜지스터(T.1 내지 T.N+1)를 구비한다. 이 트랜지스터 구조물은 제어 전압 및 제어 트랜지스터(T.1 내지 T.N+1)의 전류를 조정하기 위해 제어 입력(3.1 내지 3.N+1)을 구비한다. 이 장치는 또한 제어 입력(3.1 내지 3.N+1)중 한 입력에 제어 신호를 제공하기 위한 기준-전류-소스(6) 및, 상기 트랜지스터 구조물(2.1 내지 2.N+1)중 한 트랜지스터를 매번 보정 수단에 결합시키고 다른 트랜지스터 구조물을 순환 패턴에 따라 출력(1...N)에 결합시키기 위한 스위칭 네트워크(7)를 갖춘 보정 회로(5)를 구비한다.

본 장치에 있어서, N 개의 트랜지스터 구조물은 한 사이클의 매 주기로 출력(1 내지 N)에 출력 전류를 제공하고, 잔류 트랜지스터 구조물은 보정 회로(4)에 결합된다. 이 회로에 있어서, 관련된 트랜지스터 구조물의 전류는 소스(6)의 기준 전류와 비교되고, 보정 회로(5)에 의한 트랜지스터 구조물의 제어 입력(3)에 인가된 제어 신호에 의해서, 제어 트랜지스터(2)의 제어 전압은 트랜지스터 구조물의 전류가 기준 전류와 같게 되도록 조정된다. 사이클의 다음 주기에서, 보정된 트랜지스터 구조물(2)은 스위칭 네트워크(7)에 의해 보정되지 않은 트랜지스터 구조물(2)과 함께 교체된다. 그러므로, 모든 트랜지스터 구조물(2.1 내지 2.N+1)의 전류는 연속적으로 보정된다.

이 결과, 출력(1 내지 N)에서 이용할 수 있는 전류는 기준 전류와 같게된다. 보정된 트랜지스터 구조물이 실제 전류-소스 장치의 외부로 스위칭되기 때문에, 보정 회로(5)는 전류-소스 장치의 보정 동작을 방해하지 못한다. 보정 회로가 이 장치의 정상 동작 동안보다는 더 높은 공급 전압을 필요로 하지 않기 때문에, 이 전류-소스 장치는 낮은 공급 전압으로 동작하기에 적당하다.

제 2 도는 본 발명에 따른 전류-소스 장치의 제 1 실시예를 도시한 도면이다. 이 장치는 이들 게이트 및 소스 전극 사이에 배치된 캐패시터(C1 내지 C4)와 함께 제어 트랜지스터(T1 내지 T4)를 구비한 4개의 트랜지스터 구조물로 되어 있다. 스위치(S1.1 내지 S4.1, S1.2 내지 S4.2 및 S1.3 내지 S3.3)에 의해, 4 개의 트랜지스터(T1 내지 T4)중 3개가 출력(1, 2 및 3)에 결합될 수 있을 때마다, 잔류 트랜지스터는 보정 회로(5)의 입력(10 및 11)에 결합된다. 이들 스위치는 순환 패턴에 따라, 본 실시예에서 클럭(15)에 의해 제어되는 시프트 레지스터(14)에 의해 제어된다.

이 도면은 트랜지스터(T2)의 전류(I2)가 보정 회로(5)의 입력(11)에 인가되는 동안, 트랜지스터(T1, T3 및 T4)의 전류(I1, I3 및 I4)가 출력(1, 2 및 3)에 인가되는 상태를 설명한다. 스위치(S1.1, S3.1 및 S4.1)가 열리면, 스위치(S2.1)는 닫히게 되므로, 트랜지스터(T2)의 게이트 전극은 입력(10)에 접속된다. 본 실시예에 있어서, 보정 회로는 기준-전류-소스(6)를 구비하고, 상호 접속된 입력(10 및 11)에 전류(Iref)를 공급한다.

입력(10 및 11)사이의 직접적인 접속의 결과, 트랜지스터(T2)의 드레인 전극은 그 게이트 전극에 접속된다. 전류-소스(6)는 전류(I2)가 실제로 기준 전류와 같게 되는 방식으로, 캐패시터(C2)의 전압을 제어한다. 다음 클럭 주기에 있어서, 트랜지스터(T2)는 스위치(S2.2 및 S2.3)에 의해 출력(2)에 접속되고, 동시에, 스위치(S2.1)는 열리게 된다.

그러므로, 캐패시터(C2)의 전압이 이용할 수 있게 남겨져, 트랜지스터(T2)는 실제로 동일한 전류(Iref)인 전류(I2)의 공급을 계속한다. 동일한 클럭 주기에 있어서, 다른 3 개의 트랜지스터중 하

나, 예를 들면, 트랜지스터(T3)는 보정 회로의 입력(10 및 11)에 접속되고, 캐패시터(C3)의 제어 전압은 전류(I3)가 실제로 전류(Iref)와 같게 되도록 조정된다.

그러므로, 트랜지스터(T1 내지 T4)의 전류(I1 내지 I4)는 연속적이며 계속적으로 전류(Iref)와 동일하다. 이 결과, 실질적으로 동일한 전류가 출력(1, 2 및 3)에 이용될 수 있다.

제 3도는 본 발명에 따른 전류-소스 장치의 제 2 실시예인데, 간략화를 위해, 보정 회로 및 보정될 트랜지스터만이 도시된다. 이 보정 회로는 전류-소스(6)를 구비하고, 기준-전류(Iref)를 제공하며, 저항기(R1)양단의 기준 전압으로 변환된다. 입력(11)은 저항기(R2)를 통해 양의 전원-공급 단자에 접속된다. 저항기(R1 및 R2)는 증폭기(16)의 반전 입력 및 비반전 입력에 접속되고, 그 출력은 입력(16)에 접속된다. 다시, 트랜지스터(T2)의 게이트 및 드레인 전극은 입력(10 및 11)에 접속된다. 트랜지스터(T2)의 전류(I2)는 저항기(R2) 양단의 비례 전압으로 변환된다. 지금, 증폭기(16)는 저항기(R2)양단의 전압이 저항기(R1)양단의 기준 전압(Vref)과 같게 되도록 캐패시터(C2)양단의 전압을 조정한다. R1 및 R2가 동일한 저항 값을 가질 때, 전류(I2)는 전류(Iref)와 실제로 같게된다. 저항기(R1 및 R2)의 저항 값에 대해 특정 비율을 선택하여, 전류(Iref 및 I2)사이의 비율을 결정할 수 있다.

제 4 도는 본 발명에 따른 전류-소스 장치의 제 3 실시예를 도시하는데, 동일한 부분은 제 2 도와 동일한 참조 번호를 사용한다. 트랜지스터 구조물은 제어 트랜지스터(T1 내지 T4)를 구비하고, 전류-소스(B2 내지 B4)와 함께 캐패시터(C2 내지 C4)는 병렬로 배열된다. 트랜지스터 구조물에 의해 공급된 전류는 제어 트랜지스터 및 전류-소스의 전류 합과 같다. 그러므로, 전류 소스(B1 내지 B4)의 전류는 전류 소스(6)의 기준 전류보다 작게 된다. 스위치(S1.1 내지 S4.1, S1.2 내지 S4.2, S1.4 내지 S4.4 및 S1.3 내지 S3.3)에 의해, 트랜지스터 구조물(T1, B1 내지 T4, B4)의 4 개의 전류중 3 개의 전류가 출력(1, 2 및 3)에 인가될 때마다 제어 트랜지스터 및 전류 트랜지스터 구조물의 전류 소스로부터 전류가 보정 회로(5)의 입력(11 및 12)에 인가된다.

이 도면은 트랜지스터 구조물(T1, B1, T3, B3, T4, B4)의 전류가 출력(1, 3 및 2)에 인가되고, 트랜지스터 구조물(T1, B2)이 보정 회로(5)에 접속되는 상태를 설명한다. 그때, 스위치(S1.1, S3.1 및 S4.1)는 열리게되고, 스위치(S2.1)는 보정 회로(5)의 입력에 접속된다. 또한, 보정 회로(5)는 기준 전류(Iref)를 제공하는 전류-소스(6)를 구비하고, 이 전류 소스는 입력(10, 11 및 13)에 접속된 출력을 갖는다.

전류(Iref 및 I2)사이의 차( $\Delta I2$ )는 트랜지스터(T2)의 드레인 전극에 인가된다. 전류-소스(6)는 전류(I2 및  $\Delta I2$ )의 합이 전류(Iref)와 같게 되도록 캐패시터(C2)의 전압을 제어한다. 잔류분에 대해서, 이 장치는 제 2 도에 도시된 것과 동일한 방식으로 동작한다. 보정 회로가 캐패시터(C2)의 전압을 통해 작은 차 전류만을 보정하기 때문에, 트랜지스터(T2)의 게이트-소스 전압에서 작은 변화에 대한 출력 전류의 자화율(susceptibility)은 실제로 감소된다.

제 5 도는 제 4 실시예를 도시하는데, 간략화를 위해서, 보정될 트랜지스터의 보정 회로만을 도시하였다. 제 4 도의 참조 번호와 동일한 번호는 동일한 부분을 나타낸다. 또한, 보정 회로는 전류-소스(6)를 구비하고, 기준-전류(Iref)를 전달한다.

전류 소스(B2)의 전류(I2)는 입력(13)에서 이 전류로부터 구동된다. 전류(Iref 및 I2)사이의 차는 트랜지스터(T5)에 인가되고, 그 드레인 전극은 게이트 전극에 접속된다. 이 게이트 전극은 입력(10)에 접속된다. 이 입력(11)은 직류 전압(Vc)을 전달하는 지점에 결합된다. 또한, 트랜지스터(T2)의 게이트 및 드레인 전극은 입력(10 및 11)에 접속된다.

트랜지스터(T2)에 연결된 트랜지스터(T5)는 전류-미러 회로를 구성하는데, 전류( $\Delta I2$ )를 인가하기 위함이다. 이 전류는 트랜지스터(T2)의 전류(I5)가 정밀하게 전류( $\Delta I2$ )로 되도록 캐패시터(C2)의 전압을 제어한다. 동일한 제어 전압이 트랜지스터(T2)의 게이트 및 소스 전극 사이에 나타나므로, 트랜지스터(T2)의 전류(I2)는 정확하게  $\Delta I2$ 와 같게 된다. 잔류분에 대해서, 이 장치는 제 4 도에 도시된 것과 같이 동작한다.

제 6 도는 제 5 실시예를 도시하는데, 단지, 보정 회로 및 보정될 트랜지스터만을 도시하였다. 제 3도와 동일한 참조번호는 동일한 부분을 나타낸다. 이 장치는 제 3도에 도시된 방식과 동일하게 동작하는데, 트랜지스터(T2)의 전류( $\Delta I2$ ) 및 전류-소스(B2)의 전류(I2)의 합계가 되는 차이는 저항기(R2)에 인가된다.

제 7 도는 제 6 실시예를 도시하는데, 또한, 보정 회로 및 보정될 트랜지스터만을 도시하였다. 제 2도와 동일한 참조번호는 동일한 부분을 나타낸다. 또한, 이 보정 회로는 전류(Iref + Ib)를 공급하는 전류-소스(6)를 구비하며, 트랜지스터(T6)를 또한 구비하는데, 이 트랜지스터의 소스 전극은 전류-소스(6)에 결합되고, 그 게이트 전극은 전압(Vref)에 접속되고, 그 드레인 전극은 전류(Ib)를 전달하는 바이어스 - 전류 - 소스(20)를 통해 음의 전원 공급 단자에 접속된다. 또한, 트랜지스터(T2)의 게이트 및 드레인 전극은 보정 회로의 입력(10 및 11)에 접속된다. 전류-소스(6 및 20)의 전류 사이의 차 전류(Iref)는, 트랜지스터 (T6)를 통하여, 트랜지스터(T2)의 전류(I2)가 전류(Iref)와 정확하게 같게 되도록 캐패시터(C2)의 전압 또한 제어한다. 이 기준 전압(Vref)은 트랜지스터 (T2)의 드레인 전극의 전압이 트랜지스터(T2)의 드레인 전압과 같게되도록 선택되는데, 이때 이 트랜지스터는 실제 전류-소스 장치 또는 D/A 변환기를 스위치된다. 이것은, 다른 드레인-소스 전압의 결과로서, 실제의 장치내의 트랜지스터가 보정 회로에서 보다 다른 전류를 전송할 수 없다는 것이다.

이 보정 회로는 제 4도에 도시된 실시예에서 이용될 수 있다는 점을 알 수 있다. 이 경우에, 전류 소스(B2)는, 제 7도의 파선으로 도시된 것처럼, 보정 회로의 입력(13)에 접속된다. 그러면, 차 전류( $\Delta I2 = Iref - I2$ )는 트랜지스터(T2)를 통해 흐르는 전류가 전류( $\Delta I2$ )와 정확하게 같게되도록 트랜지스터(T6)를 통해 캐패시터(C2) 양단 전압을 제어한다.

이 실시예에서는 트랜지스터를 적당히 구비한 스위치를 도시한다. 제 8a도의 설명에 의해서, 캐패시터(C2) 및 트랜지스터(T7)를 구비한 스위치(S2.1)와 함께 트랜지스터(T2)를 도시한다. 제 8b 도는

트랜지스터(T8)가 트랜지스터(T7)와 병렬로 접속되고, 소스 전극에 접속된 드레인을 갖는 수정안을 도시한다. 트랜지스터(T7)의 게이트에 인가된 신호의 반전 신호이고, 트랜지스터(T8)의 게이트에 인가된다. 그러므로, 트랜지스터(T8)는 오프 동안에 캐패시터(C2)로 이끌리게 되어 트랜지스터(T7)에서 전하 존재를 방해한다.

여기에 도시된 본 실시예에서 캐패시터(C1 내지 C4)는 분리(separate) 트랜지스터일 수 있으나, 트랜지스터의 게이트 소스 캐패시터에 의해 적당한 방법으로 구성될 수도 있다.

제 9도는 본 발명에 따른 전류-소스 장치를 구비한 DA변환기의 제 1 실시예를 도시한다. 본 실시예는 16비트 DA 변환기이다. 또한, 본 실시예는, 개략적으로 도시된 18개의 트랜지스터 구조물을 갖는 전류-소스 장치(50)를 구비하는데, 그 전류는 상기 기술된 방식의 보정 회로(51)에 의해 전류-소스(52)의 기준-전류(Iref)와 실제로 같게 만들어진다. 17개의 출력 전류 중의 한 전류(Iref)는 17개의 트랜지스터 구조물을 갖는 제 2 전류-소스 장치(60)의 보정 회로(61)에 대해 기준-전류로서 이용되고, 그 전류는 상기 기술된 방식의 전류(Iref)와 같게 만들어진다. 이 장치(60)의 전류(Iref) 중 하나는 본 실시예에서 최하위 8비트에 대한 전류를 제공하는 2진 전류 분할기에 인가된다. 이 장치의 다른 전류들은 일련의 2진 가중된 전류(Iref, 2Iref ... 8Iref)를 얻기 위해 조합된다. 전류-소스 장치(50)에서 16개의 다른 전류는 전류(16Iref)를 얻기 위해 조합되어, 16개의 트랜지스터 구조물을 구비한 제 3 전류-소스 장치(70)의 보정 회로(71)에 기준-전류로서 인가되며, 그 전류는 상기 기술된 방식으로 전류(16Iref)와 같게 만든다. 이 회로-소스 장치(70)의 15개의 전류는 일련의 2진 가중된 전류(16Iref, 32Iref ... 128Iref)를 얻기 위해 조합된다. 이 전류-소스 장치(60 및 70) 및 전류 분할기(63)의 출력 전류는, 공지된 방법으로, 디지털 입력 코드를 아날로그 출력 신호로 변환시키는데 이용된다.

제 10도는 본 발명에 따른 전류-소스 장치를 구비한 16비트 D/A 변환기의 제 2 실시예를 도시한다. 이 변환기는, 상기 기술된 방법으로 보정 회로(95)에 의해 기준-전류와 연속 및 계속으로 같게 만들어지는 실제 같은 전류를 발생시키기 위해, 개략적으로 도시된 전류-소스(90)를 구비한다. 간략화를 위해서 도시하지 않은, 63개의 두-진로(way) 스위치를 구비한 스위칭 네트워크(100)에 의해, 63개의 전류는 합 지점(125) 또는 디지털 입력 코드의 최상의 6 비트에 따른 양의 전원 공급 단자에 인가된다. 64개의 전류 중 한 전류는, 개략적으로 도시된, 전류-분할 회로(115)에 인가된다. 이 전류-분할 회로(115)는 최하위 10 비트를 공급하고, 간략화를 위해 도시하지 않은 두-진로 스위치를 구비한 스위칭 네트워크(120)에 의한 전류는 합치는 지점 또는 디지털 입력 코드에 따른 양의 전원 공급 단자에 인가된다. 합 지점(125)에 나타나는 전체 출력 전류(Iout)는 개략적으로 도시된 전류-전압 변환기(130)에 의해 출력 전압(Vout)으로 변환될 수 있다.

본 실시예에 있어서, 16-비트 디지털 입력 워드는 데이터 레지스터(110)의 입력(111)에 직렬로 인가된다. 최하위 10비트는 스위칭 네트워크(120)의 스위치를 직접 제어한다. 최상위 6비트는 처음으로 디코딩 장치(105)에 인가되고, 이들 비트로부터 스위칭 네트워크(100)의 63개의 스위치에 대한 스위칭 신호를 유도한다.

본 발명에 따른 전류-소스 장치를 구비한 D/A 변환기에 있어서, 보정 네트워크가 연속 트랜지스터 구성에 접속으로 인한 주파수는, 디지털 입력 코드가 상기 스위칭 주파수의 배수( $N \geq 1$ )와 같게 인가되는 방법으로 적당히 선택된다. 이 결과는, 보정 및 스위칭 네트워크에 의해 발생된 스위칭 과도 현상의 결과인데, 실제 D/A 변환기에 의해 발생된 스위칭 과도를 감소시키기 위해 D/A 변환기의 출력에 배열된 통상의 디그리칭(deglitching) 네트워크에 의해 감소된다.

본 발명은 본 명세서에 기술된 실시예에 제한을 두지 않는다. 예를 들어, 교정 회로는 본 명세서에 도시된 것과 다른 방식으로 구성될 수도 있다.

## (57) 청구의 범위

### 청구항 1

실제로 동일한 다수의 전류를 발생시키는 다수의 트랜지스터 구조물 및, 이들 트랜지스터 구조물로부터의 전류에서 상호 편차(mutual deviation)를 감소시키는 보정 수단을 구비하는 전류-소스 장치에 있어서, 상기 트랜지스터 구조물의 수가 최소한 그 요구되는 전류 수보다 많으며, 각각의 트랜지스터 구조물은 제어 트랜지스터를 구비하며, 이 제어 트랜지스터의 제어 전압은 조정가능한 제 1 전류 공급을 조정하며, 상기 보정 수단은 그 관련된 트랜지스터 구조물의 제어 트랜지스터의 제어 전압을 조정함으로써, 순환패턴에 따라, 각각의 트랜지스터 구조물의 전류를 기준-전류와 동일하게 만드는데 이용되는 것을 특징으로 하는 전류-소스 장치.

### 청구항 2

제 1항에 있어서, 상기 각각의 트랜지스터 구조물은 게이트 전극과 소스 전극 사이에 배치된 캐패시터를 갖는 제어 트랜지스터에 의해 구성되는 것을 특징으로 하는 전류-소스 장치.

### 청구항 3

제 2 항에 있어서, 상기 캐패시터는 그 관련된 제어 트랜지스터의 게이트 소스 캐패시턴스에 의해 구성되는 것을 특징으로 하는 전류-소스 장치.

### 청구항 4

제 2 항 또는 제 3 항에 있어서, 상기 보정 수단은 제 1 전류가 기준-전류와 같아지도록 하는 방식으로 캐패시터의 전압을 제어하기 위해, 드레인 전극과 게이트 전극 사이의 부귀환 수단 및, 제어 트랜지스터의 드레인 전극에 기준-전류를 인가하는 수단을 구비하는 것을 특징으로 하는 전류-소스 장치.

**청구항 5**

제 2 항 또는 제 3 항에 있어서, 상기 보정 수단은 기준 전압에서 기준-전류를 변환시키기 위한 제 1 저항기와, 상기 제 1 전류를 제 2 전압으로 변환시키기 위한 제 2 저항기 및, 상기 제 2 전압이 기준 전압과 같아 지도록 하는 방식으로 캐패시터의 전압을 조정하기 위해 캐패시터 및 제 1 저항기와 제 2 저항기에 접속된 부귀환 수단을 구비하는 것을 특징으로 하는 전류-소스 장치.

**청구항 6**

제 4 항에 있어서, 상기 부귀환 수단은 제어 트랜지스터의 드레인 전극의 전압을 조정하는 조정 수단을 구비하는 것을 특징으로 하는 전류-소스 장치.

**청구항 7**

제 6 항에 있어서, 상기 조정 수단은 전류-플로워 트랜지스터를 구비하는데, 그 소스 전극은 제어 트랜지스터의 드레인 전극에 접속되고, 그 게이트 전극은 기준 전압 단자에 접속되며, 그 드레인 전극은 바이어스-전류-소스에 접속된 것을 특징으로 하는 전류-소스 장치.

**청구항 8**

제 1 항에 있어서, 상기 각각의 트랜지스터 구조물은 게이트 전극과 소스 전극 사이에 배치된 캐패시터를 갖는 제어 트랜지스터 및 제 2 전류를 제공하는 트랜지스터 전류-소스로 구성되고, 이 트랜지스터 구조물로부터의 전류는 제 1 전류 및 제 2 전류의 합과 같은 것을 특징으로 하는 전류-소스 장치.

**청구항 9**

제 8 항에 있어서, 상기 캐패시터는 그 관련된 제어 트랜지스터의 게이트-소스 캐패시턴스에 의해 구성되는 것을 특징으로 하는 전류-소스 장치.

**청구항 10**

제 8 항 또는 제 9 항에 있어서, 상기 보정 수단은 기준-전류와 제 2 전류 사이의 차를 제어 트랜지스터의 드레인 전극에 인가하기 위한 수단 및, 제 1 전류와 제 2 전류의 합이 기준-전류와 같아지도록 캐패시터의 전압을 조정하기 위해 드레인 전극과 게이트 전극 사이에 배치된 부귀환 수단을 구비하는 것을 특징으로 하는 전류-소스 장치.

**청구항 11**

제 8 항 또는 제 9 항에 있어서, 상기 보정 수단은 기준-전류와 제 2 전류 사이의 차를, 제어 트랜지스터의 게이트 소스 접합과 병렬로 배치된 게이트-소스 접합을 갖는 제 2 트랜지스터의 드레인 전극에 공급하기 위한 수단 및, 상기 제2 트랜지스터로부터의 전류와 제 2 전류의 합이 기준 전류와 같아지도록 캐패시터의 전압을 제어하기 위해 상기 제 2 트랜지스터의 게이트 전극과 드레인 전극 사이에 배치된 부귀환 수단을 구비하는 것을 특징으로 하는 전류-소스 장치.

**청구항 12**

제 8 항 또는 제 9 항에 있어서, 상기 보정 수단은 기준-전류를 기준 전압으로 변환시키기 위한 제 1 저항기와, 상기 제 1 전류와 제 2 전류의 합을 제 2 전압으로 변환시키기 위한 제 2 저항기 및, 상기 제 2 전압이 기준 전압과 같아지도록 캐패시터의 전압을 조정하기 위해 상기 제 1 저항기와 제 2 저항기 및 캐패시터에 접속된 부귀환 수단을 구비하는 것을 특징으로 하는 전류-소스 장치.

**청구항 13**

제 11 항에 있어서, 상기 부귀환 수단은 제어 트랜지스터의 드레인 전극의 전압을 조정하기 위한 조정 수단을 구비하는 것을 특징으로 하는 전류-소스 장치.

**청구항 14**

제 13 항에 있어서, 상기 조정 수단은 전류-플로워 트랜지스터를 구비하는데, 그 소스 전극은 제어 트랜지스터의 드레인 전극에 접속되고, 그 게이트 전극은 기준 전압 단자에 접속되며, 그 드레인 전극은 바이어스-전류-소스에 접속되는 것을 특징으로 하는 전류-소스 장치.

**청구항 15**

디지털-아날로그 변환기에 있어서, 제 1 항, 제 2 항, 제 3 항, 제 6 항, 제 7 항, 제 8 항, 제 9 항, 제 13 항, 제 14 항중 어느 한 항에서 청구된 최소한 한 전류-소스 장치를 구비하는 것을 특징으로 하는 디지털-아날로그 변환기.

**청구항 16**

디지털-아날로그 변환기에 있어서, 제 4 항에서 청구된 전류-소스 장치를 구비하는 것을 특징으로 하는 디지털-아날로그 변환기.

**청구항 17**

디지털-아날로그 변환기에 있어서, 제 5 항에서 청구된 전류-소스 장치를 구비하는 것을 특징으로 하는 디지털-아날로그 변환기.



# 청구항 18

디지털-아날로그 변환기에 있어서, 제 10 항에서 청구된 전류-소스 장치를 구비하는 것을 특징으로 하는 디지털-아날로그 변환기.

# 청구항 19

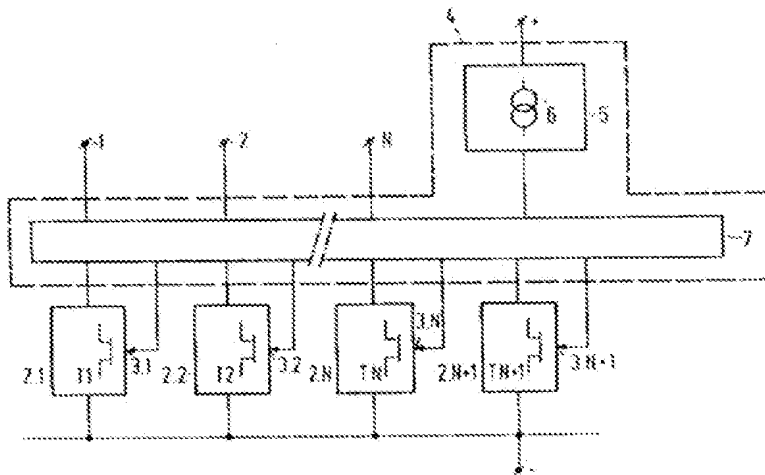
디지털-아날로그 변환기에 있어서, 제 11 항에서 청구된 전류-소스 장치를 구비하는 것을 특징으로 하는 디지털-아날로그 변환기.

# 청구항 20

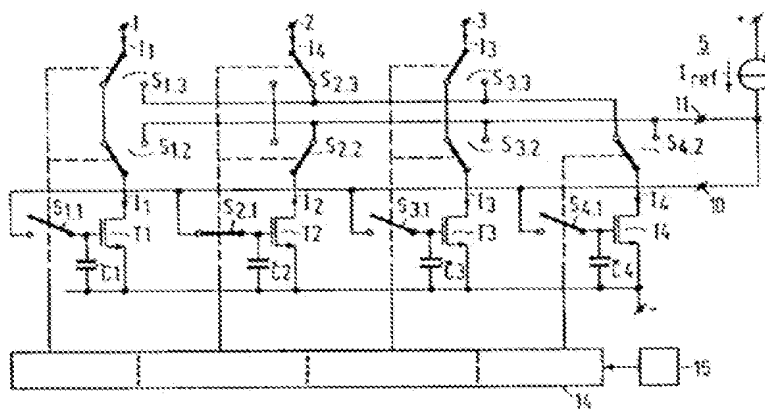
디지털-아날로그 변환기에 있어서, 제 12 항에서 청구된 전류-소스 장치를 구비하는 것을 특징으로 하는 디지털-아날로그 변환기.

도면

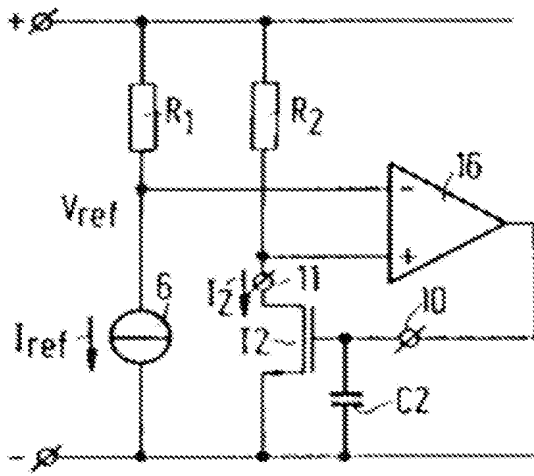
도면1



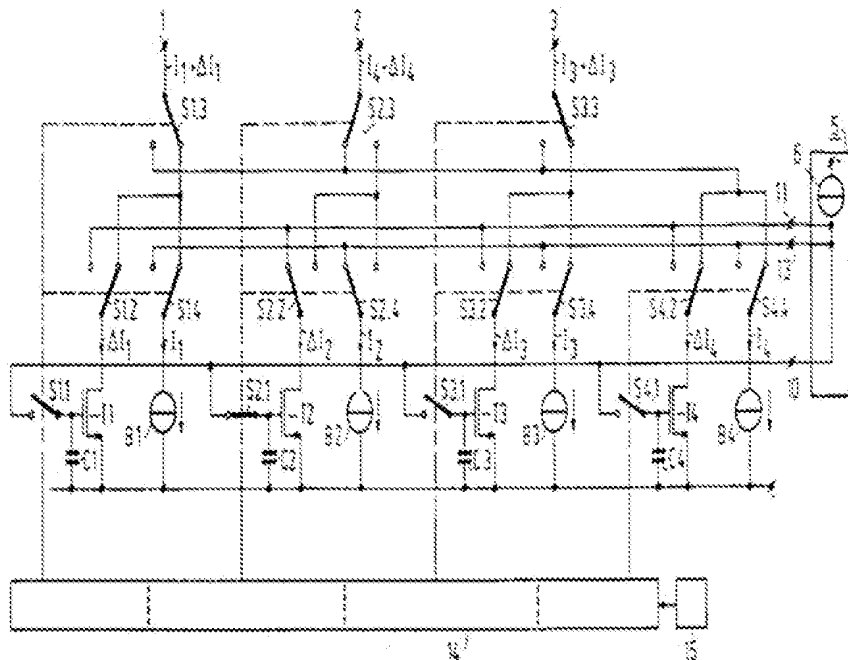
도면2



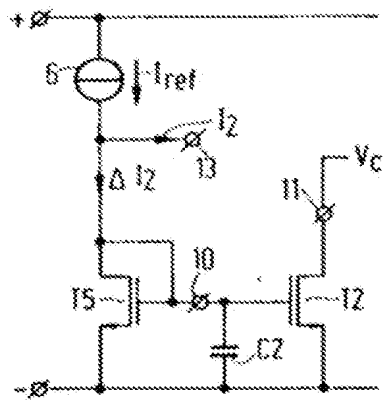
도면3



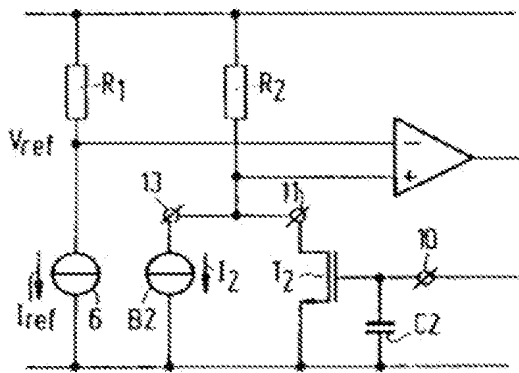
도면4



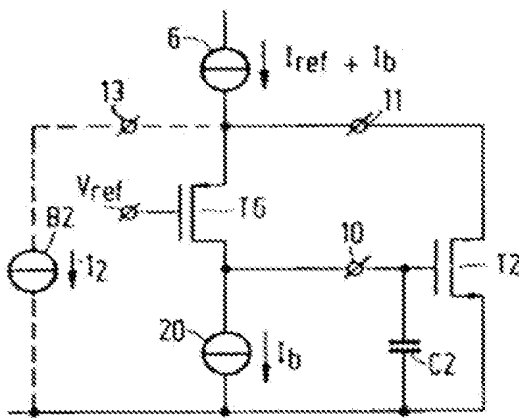
도면5



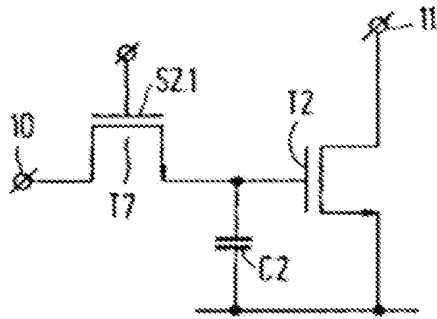
도면6



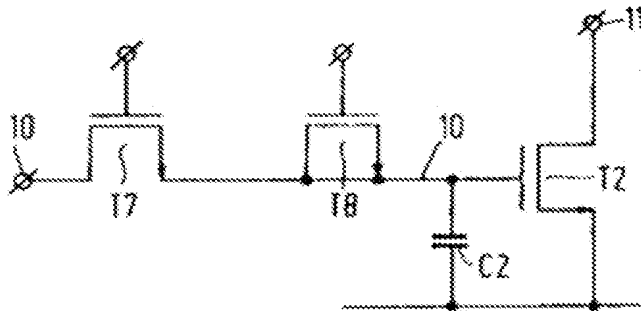
도면7



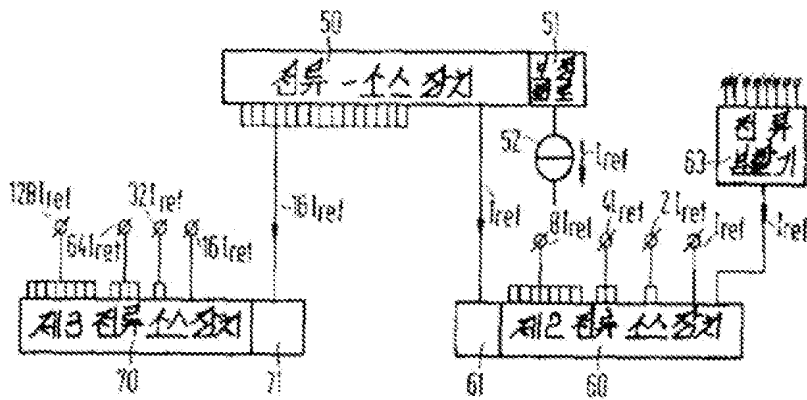
도면8a



도면8b



도면9



도면 10

